

Family list**3** family members for: **JP5011271**

Derived from 2 applications

1 SEMICONDUCTOR DEVICE**Inventor:** KOBAYASHI KAZUHIRO; MURAI
HIROYUKI; (+1)**EC:****Applicant:** MITSUBISHI ELECTRIC CORP**IPC:** G02F1/1343; G02F1/136; G02F1/1368
(+12)**Publication info:** JP2864794B2 B2 - 1999-03-08**JP5011271 A** - 1993-01-19**2 Active matrix liquid crystal display device****Inventor:** KOBAYASHI KAZUHIRO (JP); MURAI
HIROYUKI (JP); (+1)**EC:** G02F1/1362C**Applicant:** MITSUBISHI DENKI KABUSHIKI KAI (JI**IPC:** G02F1/1362; G02F1/13; (IPC1-7): G02F1/1
(+1)**Publication info:** US5414278 A - 1995-05-09Data supplied from the **esp@cenet** database - Worldwide

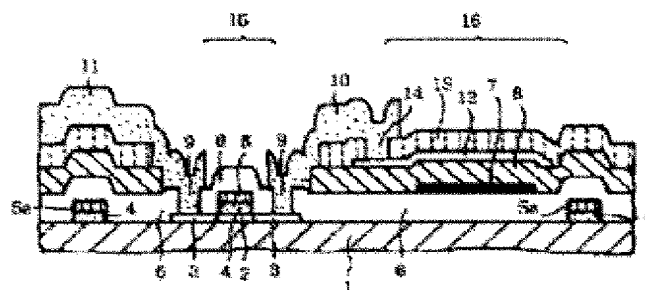
SEMICONDUCTOR DEVICE

Patent number: JP5011271
Publication date: 1993-01-19
Inventor: KOBAYASHI KAZUHIRO; MURAI HIROYUKI; HAYAMA
MASAHIRO
Applicant: MITSUBISHI ELECTRIC CORP
Classification:
- international: *G02F1/1343; G02F1/136; G02F1/1368; H01L21/336;
H01L27/12; H01L29/78; H01L29/786; G02F1/13;
H01L21/02; H01L27/12; H01L29/66; (IPC1-7):
G02F1/1343; G02F1/136; H01L27/12; H01L29/784*
- european:
Application number: JP19910164140 19910704
Priority number(s): JP19910164140 19910704

Report a data error here

Abstract of JP5011271

PURPOSE:To reduce wiring defects by suppressing defect generation due to a short circuit between electric conductors and also reducing the step disconnection of a source electric conductor and a drain electric conductor. **CONSTITUTION:**A picture element 12 and an electric conductor 7 for a holding capacitance are interposed between 1st and 2nd protection films 6, 13 and thus put in different level with a gate electrode 5 and the source and drain electric conductors 11, 10, and an insulating film 8 for the holding capacitance and the 2nd protection film 13 are left at the intersection part of the source electric conductor 11 and a gate electric conductor 5a, but the part on a TFT 15 is removed. At this time, at least the part at the position of a contact hole on the TFT 15 of the 1st protection film 5 covering a polycrystalline Si film 2 directly is removed shifting from the contact hole to prevent the short-circuiting and step disconnection of the electric conductors.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-11271

(43)公開日 平成5年(1993)1月19日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/1343		9018-2K		
H 0 1 L 27/12	A	8728-4M		
29/784		9056-4M		
			H 0 1 L 29/ 78	3 1 1 A
			審査請求	未請求 請求項の数5(全 5 頁)

(21)出願番号 特願平3-164140

(22)出願日 平成3年(1991)7月4日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 小林 和弘

尼崎市塚口本町8丁目1番1号 三菱電機
株式会社材料研究所内

(72)発明者 村井 博之

尼崎市塚口本町8丁目1番1号 三菱電機
株式会社材料研究所内

(72)発明者 羽山 昌宏

尼崎市塚口本町8丁目1番1号 三菱電機
株式会社材料研究所内

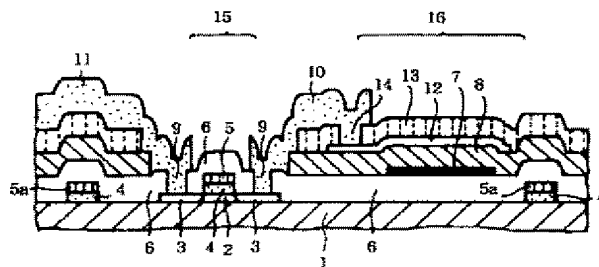
(74)代理人 弁理士 高田 守 (外1名)

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 配線間短絡による欠陥発生を抑制するとともに、ソース配線およびドレイン配線の段切れを少なくして配線欠陥を低減する。

【構成】 画素電極12および保持容量用配線7を第1、第2の保護膜6、13で挟むことにより、ゲート電極5およびソース/ドレイン配線11、10と異なった平面とし、保持容量用絶縁膜8および第2の保護膜13をソース配線11とゲート配線5aの交差部には残すが、TFT15上の1部は取り除く。その際、多結晶Si膜2を直接覆う第1の保護膜6のTFT15上のコンタクトホールパターンとは、パターンの位置の少なくとも1部はずらして取り除き、配線の短絡と段切れを防ぐことを特徴としている。



- | | |
|------------|---------------|
| 1 絶縁性基板 | 8 保持容量用絶縁膜 |
| 2 多結晶Si膜 | 9,14 コンタクトホール |
| 3 ドープドSi領域 | 10 ドレイン配線 |
| 4 ゲート絶縁膜 | 11 ソース配線 |
| 5 ゲート電極 | 12 画素電極 |
| 5a ゲート配線 | 13 第2の保護膜 |
| 6 第1の保護膜 | 15 画素トランジスタ |
| 7 保持容量用配線 | 16 保持容量 |

【特許請求の範囲】

【請求項1】複数本の走査線用のゲート配線とこれと交差する複数本のデータ線用のソース配線を有し、前記ゲート配線と前記ソース配線の各交点に接続された多結晶Si膜からなる薄膜トランジスタ、この薄膜トランジスタに接続された画素電極および保持容量を有する基板を持つアクティブマトリックス液晶表示素子を構成する半導体装置において、前記薄膜トランジスタ上に形成され少なくとも前記薄膜トランジスタおよびゲート配線とソース配線との交差部のゲート配線を覆うように形成された絶縁性薄膜よりなる第1の保護膜、保持容量用電極、少なくともこの保持容量用電極の一部および前記交差部のゲート配線を覆うように形成された保持容量用絶縁膜、この保持容量用絶縁膜上に形成された透明導電膜よりなる画素電極、少なくともこの画素電極および前記交差部のゲート配線を覆うように形成された絶縁性薄膜よりなる第2の保護膜、前記第1と第2の保護膜上にコンタクトホールを介して前記薄膜トランジスタのドレインまたはソースと前記画素電極の間を接続するドレイン配線またはソース配線を有することを特徴とする半導体装置。

【請求項2】第1の保護膜として、 SiO_2 または SiO_x を主成分とする膜を用い、保持容量用絶縁膜として、 Ta_2O_5 、 Si_3N_4 、 Al_2O_3 、 TiO_2 またはこれらを主成分とする膜を用いたことを特徴とする請求項1に記載の半導体装置。

【請求項3】保持容量用絶縁膜を、第1の保護膜のパターンと少なくとも薄膜トランジスタ部分において、1部は重ならないようにパターンニングし、前記薄膜トランジスタ上の少なくとも1部の領域から保持容量用絶縁膜を取り除いたことを特徴とする請求項1または2に記載の半導体装置。

【請求項4】第2の保護膜として Ta_2O_5 、 Si_3N_4 、 Al_2O_3 、 TiO_2 、 SiO_2 またはこれらを主成分とする膜を用いたことを特徴とする請求項1乃至3のいずれかに記載の半導体装置。

【請求項5】第2の保護膜を、第1の保護膜および保持容量用絶縁膜のパターンと少なくとも薄膜トランジスタ部分において1部は重ならないようにパターンニングし、前記薄膜トランジスタ上の少なくとも1部の領域から前記第2の保護膜を取り除いたことを特徴とする請求項1乃至4のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、多結晶Si薄膜トランジスタ（以下、TFTという）を各画素のスイッチング素子として用いたアクティブマトリックス液晶表示素子を構成する半導体装置に関するものである。

【0002】

【従来の技術】図2は、例えば特開平2-72392号

公報に示された従来のアクティブマトリックス液晶表示装置に用いるTFTの断面構造を示したものである。1は透明ガラスなどを用いた絶縁性基板、2は多結晶Si膜、3はイオン注入法などで作成された金属/Si間のコンタクトを取る不純物をドーブしたドーブドSi領域、4は前記多結晶Si膜2上に形成されたゲート絶縁膜、5はこのゲート絶縁膜4に形成されたゲート電極、6は前記多結晶Si膜2、ゲート絶縁膜4、ゲート電極5からなるTFT15の少なくとも1部を覆うように形成された絶縁性薄膜よりなる保護膜、7は保持容量用配線、8は保持容量用絶縁膜で、保持容量16を形成するために成膜された絶縁性薄膜よりなる。9は不純物をドーブしたドーブドSi領域3上の保護膜6に穴をあけたコンタクトホール、10はドレイン配線、11はソース配線、12は前記ドレイン配線10に接続されている画素電極である。アクティブマトリックス液晶表示素子において、その等価回路は図3に示すようになっており、ソース配線11とゲート配線5aの交差部にTFT15が付加されている。TFT15のドレイン側には画素電極12と保持容量16が接続されている。

【0003】次に、動作について説明する。トランジスタ動作は、ゲート電極5に印加する電圧を変化させることにより、ゲート絶縁膜4の下部に存在する多結晶Si膜2の内部にかかる電界を変化させ、その結果、コンタクトホール9およびドーブドSi領域3を介し、ソース配線11とドレイン配線10の間に流れる電流を制御することで実現する。ゲート電極5およびソース配線11に電圧を印加し、TFT15のトランジスタ動作を行わせ、スイッチとして働くTFT15をオン状態とすることにより液晶部に電圧を印加し、液晶分子状態を変化させ透過光量を制御する。保護膜6は、TFT15を外部汚染等から保護するための保護膜である。また、この保護膜6は、ソース配線11とゲート配線5aの交差部の層間絶縁膜としても用いる。図3に示した保持容量16は、保持容量用配線7と保持容量用絶縁膜8と画素電極12により形成される。この保持容量16によりTFT15側からみた負荷容量を増加させ、液晶に印加されるDC電圧成分を低減し、残像等の表示特性の問題を軽減する。また、保持容量用絶縁膜8は、ソース配線11とゲート配線5aの交差部の層間絶縁膜としても用いる。ドレイン配線10は画素電極12と接続されている。画素電極部は、ITO等の透明導電膜により形成されており、液晶に電圧を印加するとともに、可視光を透過する役割を持っている。

【0004】

【発明が解決しようとする課題】従来の半導体装置は以上のように構成されている。この時、図3に示したように、n番目のTFT15に注目した場合、画素電極12はソース配線11と同一の平面上にあるために、例えばパターン形成のための写真製版、エッチング工程で何ら

かの不良が発生した場合、画素電極12が隣のn+1番目のソース配線11と短絡し表示欠陥となる恐れがあった。また、コンタクトホール9において、その穴の深さは保護膜6の膜厚と保持容量用絶縁膜8の膜厚を加えたものとなり厚くなるため、ソースおよびドレイン電極を形成した場合、コンタクトホール9の端でドレイン配線10やソース配線11の断線が発生しやすかった。さらに、ドレイン、ソース配線10、11として、例えばA1を用いたとき、ソース、ドレイン配線11、10形成後に400℃以上でのアニール処理をドープドSi領域3とのオーミック特性改善のために行うことは多い。しかし、400℃程度以上の温度でアニール処理を行うと、多結晶Si膜2の結晶粒界に存在するダングリングボンドをターミネイトし、TFT特性を改善する水素化処理を行っても、Si膜中の水素は一般的に放出されてしまう。このため、水素化処理はソース、ドレイン配線11、10の形成後に行う必要がある。しかし、例えば保持容量16を誘電率が比較的高い保持容量値を得やすいSiN等で形成した場合、TFT15上にもSiN膜が残るために、水素化処理がSiN中の水素の拡散係数が小さいために保持容量用絶縁膜8形成後にはできなくなり、TFT特性が水素化処理を行ったものと比べ良くないといった問題点があった。

【0005】本発明は、上記のような問題点を解消するためになされたもので、配線間短絡による欠陥発生を抑制するとともに、ソース配線およびドレイン配線の段切れを少なくして配線欠陥を低減し、かつTFT作成工程のできるだけ最終工程に近いプロセスにおいても水素化処理ができる半導体装置を得ることを目的とする。

【0006】

【課題を解決するための手段】本発明に係る半導体装置は、画素電極および保持容量用配線を第1、第2の保護膜で挟むことにより、ゲート配線およびソース/ドレイン配線と異なった平面としたものである。さらに、保持容量用絶縁膜および第2の保護膜をソース配線とゲート配線の少なくとも交差部には残すが、TFT上の少なくとも1部は取り除くとともに、その際、多結晶Si膜を直接覆う第1の保護膜のTFT上のコンタクトホールパターンとはパターン位置の少なくとも1部はずらして取り除くようにしたものである。

【0007】

【作用】本発明においては、画素電極および保持容量用配線を第1、第2の保護膜で挟むことによりゲート配線およびソース/ドレイン配線と異なった平面となっており、写真製版時の不良等により画素電極および保持容量用配線とゲート配線およびソース/ドレイン配線が短絡するのを防いでいる。また、保持容量用絶縁膜および第2の保護膜をソース配線とゲート配線の少なくとも交差部には残すが、TFT上の少なくとも1部は取り除くとともに、その際多結晶Si膜を直接覆う第1の保護膜の

TFT上のコンタクトホールパターンとはパターン位置の少なくとも1部はずらしているため、ソース/ドレイン配線のコンタクトホール部での段切れを防ぐとともに、保持容量用絶縁膜および第2の保護膜として、例えばSiNのような水素原子を拡散しにくい材料を用いても、TFT作成工程の最終に近い工程でTFT特性改善のための水素化処理が可能となる。

【0008】

【実施例】

（実施例1）以下、本発明の一実施例を図について説明する。図1において、1はガラスなどを用いた絶縁性基板、2は多結晶Si膜、3はイオン注入法などで作成された金属/Si間のコンタクトを取る不純物をドープしたドープドSi領域、4は前記多結晶Si膜2上に形成されたゲート絶縁膜、5はこのゲート絶縁膜4上に成膜されたゲート電極、5aはこのゲート電極5につながれているゲート配線、6は前記多結晶Si膜2、ゲート絶縁膜4、ゲート電極5で形成された薄膜トランジスタ15およびゲート配線5aとソース配線11の少なくとも交差部でゲート配線5aを覆うように形成された絶縁性薄膜よりなる第1の保護膜で、SiO₂、またはSiO₂を主成分とする膜が用いられる。7は保持容量用配線、8は前記ゲート配線5aとソース配線11の少なくとも交差部でゲート配線5aを覆うとともに、保持容量16を形成するために保持容量用配線7上に成膜された絶縁性薄膜よりなる保持容量用絶縁膜で、Ta₂O₅、Si₃N₄、Al₂O₃、TiO₂またはこれらを主成分とする膜が用いられる。9は前記ドープドSi領域3上に第1の保護膜6に穴をあけたコンタクトホール、10はドレイン配線、11はソース配線、12は前記ドレイン配線10に接続されている画素電極、13は前記画素電極12を覆うとともに少なくともゲート配線5aとソース配線11の交差部にゲート配線5aを覆うように形成された第2の保護膜で、Ta₂O₅、Si₃N₄、Al₂O₃、TiO₂、SiO₂またはこれらを主成分とする膜が用いられる。14は前記第2の保護膜13上に形成されたコンタクトホールである。

【0009】次に、動作について説明する。トランジスタ動作は、ゲート電極5に印加する電圧を変化させることにより、ゲート絶縁膜4の下部に存在する多結晶Si膜2の内部にかかる電界を変化させ、その結果、ドープドSi領域3およびコンタクトホール9を介しソース配線11とドレイン配線10の間に流れる電流を制御することで実現する。TFT15のドレイン側には、等価回路においては容量として表現される液晶と保持容量16が接続されている。ゲートおよびソース/ドレイン間に電圧を印加し、TFT15のトランジスタ動作を行わせ、スイッチとして働くTFT15に流れる電流を制御し、液晶部への電圧印加を調整して液晶分子状態を変化させ透過光量を制御する。

【0010】第1の保護膜6は、TFT15部分を外部汚染等から保護するための保護膜である。また、この第1の保護膜6はソース配線11とゲート配線5aの交差部の層間絶縁膜としても用いる。この第1の保護膜6によって保持容量用配線7はゲート配線5aと異なった層上に形成されることになり、パターニング工程の不良などによりゲート配線5aと保持容量用配線7が短絡するのを防ぐことができる。

【0011】図3に示した保持容量16は、図1の保持容量用配線7と保持容量用絶縁膜8とITO等の透明導電膜からなる画素電極12により形成される。この保持容量16によりTFT15側からみた付加容量を増加させ、液晶に印加されるDC電圧成分を低減し、残像等の表示特性の問題を軽減する。また、保持容量用絶縁膜8は、ソース配線11とゲート配線5aの交差部の層間絶縁膜としても用いる。

【0012】第2の保護膜13は、画素電極12を覆うように形成されている。これにより、画素電極12は、ソース配線11と異なった層上に形成されたことになり、パターニング工程の不良等により画素電極12とソース配線11が短絡することを防ぐことができる。また、この第2の保護膜13はソース配線11とゲート配線5aの層間絶縁膜としても用いる。ドレイン配線10は、コンタクトホール14を介して画素電極12と接続されている。画素電極部は、ITO等の透明導電膜により形成されており、液晶に電圧を印加するとともに、可視光を透過する役割をもっている。

【0013】図1に示したように、保持容量用絶縁膜8および第2の保護膜13は、TFT15上の少なくとも1部はそれぞれ下の第1の絶縁膜6と少なくともパターンの1部は重ならないようにパターニングし取り除く。このようにすることにより、ソースおよびドレイン電極がTFT15のドープドSi領域3と接続する際に、それらの絶縁膜端部におけるパターンの断線の不良が発生する可能性を低減することができる。

【0014】また、第1の保護膜6として水素が透過しやすいSiO₂を用いても、保持容量用絶縁膜8および第2の保護膜13として、例えば誘電率が比較的高くデバイス作製上は利点のあるSiNなどを用いると、この膜は水素を透過しにくく、水素で多結晶Siの結晶粒界などに存在するダングリングボンドをターミネイトしTFT特性を向上させる水素化処理が水素プラズマ等を用いてできにくい。このため、TFT15上にSiN等のできた保持容量用絶縁膜8等が残っている場合は、これらの膜成膜前に水素化処理を行う必要があり、かつ水素は約300℃を越える温度の熱処理でSiとの結合が切れるので水素化処理後は約300℃を越える温度の熱処理がしにくかった。ところが、図1のようにTFT15上の保持容量用絶縁膜8および第2の保護膜13を取り除くとソース/ドレイン配線11、10形成後の水素化

処理がTFT15上に水素を透過しないSiNのような膜が存在しないため可能となり、ソース/ドレイン配線11、10形成までの熱処理工程の許容温度を広げることができる。これにより、例えばA1でソース/ドレイン配線11、10を形成したのちに特性改善のための450℃程度の熱処理を行うことが可能となった。また、本構造ではゲート配線5aとソース配線11の交差部においては、第1の保護膜6、保持容量用絶縁膜8、第2の保護膜13が層間絶縁膜として挿入されているため、両者の短絡を防ぐことができる。

【0015】（実施例2）上記実施例では、ゲート配線5aとソース配線11の交差部は第1の保護膜6、保持容量用絶縁膜8、第2の保護膜13のすべてが層間絶縁膜として挿入されていたが、このうち任意の1つあるいは2つのみを層間絶縁膜として用いても良い。

【0016】（実施例3）上記実施例では、保持容量用配線7は第1の保護膜6上にあったが、保持容量用配線7の下部に第1の保護膜6はなくてもよい。

【0017】

【発明の効果】以上説明したように、本発明によれば、画素電極および保持容量用電極を第1、第2の保護膜で挟むように構成したことにより、ソース配線あるいはゲート配線との短絡を防ぐことができ、高歩留りのTFTアレイが得られる。また、TFT上の保護膜、保持容量用絶縁膜を重ならないようにパターニングし取り除いたので、水素化処理がTFT作製プロセスの最終に近い工程で行うことが可能となり、プロセスの許容温度範囲が広がるとともに、ソース/ドレイン配線の段切れを低減することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の一実施例を示す要部の断面図である。

【図2】従来の半導体装置を示す要部の断面図である。

【図3】アクティブマトリックス基板の構成を説明するための平面図である。

【符号の説明】

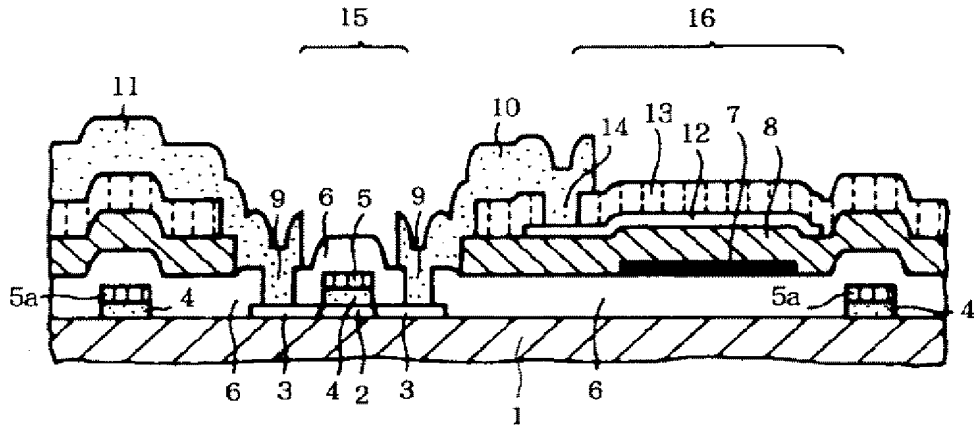
- 1 絶縁性基板
- 2 多結晶Si膜
- 3 ドープドSi領域
- 4 ゲート絶縁膜
- 5 ゲート電極
- 5a ゲート配線
- 6 第1の保護膜
- 7 保持容量用配線
- 8 保持容量用絶縁膜
- 9 コンタクトホール
- 10 ドレイン配線
- 11 ソース配線
- 12 画素電極
- 13 第2の保護膜

14 コンタクトホール
15 薄膜トランジスタ

* 16 保持容量

*

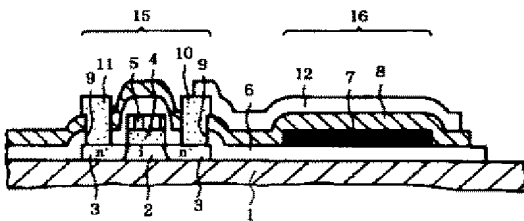
【図1】



1 絶縁性基板
2 多結晶Si膜
3 ドープドSi領域
4 ゲート絶縁膜
5 ゲート電極
5a ゲート配線
6 第1の保護膜
7 保持容量用配線

8 保持容量用絶縁膜
9,14 コンタクトホール
10 ドレイン配線
11 ソース配線
12 画素電極
13 第2の保護膜
15 薄膜トランジスタ
16 保持容量

【図2】



【図3】

